

PAT-NO: JP402183558A
DOCUMENT-IDENTIFIER: JP 02183558 A
TITLE: SEMICONDUCTOR DEVICE
PUBN-DATE: July 18, 1990

INVENTOR-INFORMATION:
NAME
HIROKI, MASANORI

ASSIGNEE-INFORMATION:
NAME HITACHI LTD COUNTRY
N/A

APPL-NO: JP01003531
APPL-DATE: January 10, 1989

INT-CL (IPC): H01L027/04, H01L027/088 , H01L029/784

ABSTRACT:

PURPOSE: To prevent electrostatic destruction caused by current concentration in an output buffer circuit by forming a low resistance region on a semiconductor substrate between an output buffer circuit and a guard ring wiring.

CONSTITUTION: A chip 1a is constituted of the following;
a scribe guard ring
wiring 2 arranged on the most outer periphery of the chip,
a peripheral circuit
region 3a arranged at the center of the chip 1a, memory
cell array 4, 4
arranged above and under the peripheral circuit region 3a,
a plurality of

peripheral circuit region 3b arranged in the width direction of chip 1a, and input-output circuit regions 5 arranged on both ends of the chip 1a. By the action of a resistance region between the guard ring wiring 2 and a semiconductor substrate, the electric charge flowing through an output buffer circuit is restrained. Thereby, electrostatic destruction caused by current concentration in the output buffer circuit can be prevented.

COPYRIGHT: (C)1990, JPO&Japio

⑫ 公開特許公報(A) 平2-183558

⑤Int. Cl.⁵

識別記号

庁内整理番号

⑬公開 平成2年(1990)7月18日

H 01 L 27/04
27/088
29/784

D 7514-5F

7735-5F H 01 L 27/08 1 0 2 F
8422-5F 29/78 3 0 1 K

審査請求 未請求 請求項の数 7 (全11頁)

⑭発明の名称 半導体装置

⑯特 願 平1-3531

⑰出 願 平1(1989)1月10日

⑱発 明 者 尋 木 正 紀 東京都青梅市今井2326番地 株式会社日立製作所デバイス
開発センタ内

⑲出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳代 理 人 弁理士 筒井 大和

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

1. 半導体チップの最外周に導電体からなるガードリング配線が周設され、かつ、前記半導体チップの内方に形成された入出力回路領域に複数の出力トランジスタによって構成された出力バッファ回路を備える半導体装置であって、前記出力バッファ回路とガードリング配線との間における半導体基板に抵抗領域を形成したことを特徴とする半導体装置。

2. 前記抵抗領域が、前記半導体基板に所定導電形の不純物が導入されてなる第1の半導体領域と、前記第1の半導体領域の下部に形成され前記第1の半導体領域より低濃度であり、かつ前記第1の半導体領域と同じ導電形の不純物が導入されてなる第2の半導体領域とから構成されているとともに、前記抵抗領域は前記出力バッファ回路から出力信号を取り出す外部端子と電

氣的に接続されていることを特徴とする請求項1記載の半導体装置。

3. 半導体チップの入出力回路領域に形成された出力バッファ回路から出力信号を取り出す出力信号配線と前記半導体チップから出力信号を取り出す外部端子とが、前記半導体チップを構成する半導体基板に所定導電形の不純物が導入されてなる第1の半導体領域と、前記第1の半導体領域の下部に形成され前記第1の半導体領域よりも低濃度であり、かつ前記第1の半導体領域と同じ導電形の不純物が導入されてなる第2の半導体領域とから構成された抵抗領域を介して電氣的に接続されていることを特徴とする半導体装置。

4. 前記半導体チップの最外周には導電体からなるガードリング配線が周設されており、前記ガードリング配線の下層の半導体基板において、前記抵抗領域を第1の抵抗領域としてこれに対応する部分に第2の抵抗領域が形成され、前記第2の抵抗領域は前記ガードリング配線と電氣

的に接続されていることを特徴とする請求項3記載の半導体装置。

5. 半導体チップに形成された外部端子から延設される信号、または電源電圧用配線が、前記半導体チップの入出力回路領域に形成された入力、または出力MIS形トランジスタを構成する拡散層と2以上のコンタクトホール部によって導通された半導体装置であって、前記コンタクトホール部と、前記入力、または出力MIS形トランジスタを構成するゲート電極との間の距離を、前記外部端子に近づくにしたがって大となるようにしたことを特徴とする半導体装置。

6. 前記コンタクトホール部とゲート電極との間の距離が、前記外部端子に近づくにしたがって段階的に大となるようにしたことを特徴とする請求項5記載の半導体装置。

7. 半導体チップの最外周に周設された導電体からなるガードリング配線の内周に、前記半導体チップに形成された集積回路素子領域の少なくとも一部を囲み、かつ前記ガードリング配線に

沿って延びる電源電圧用ガードリング配線を配置するとともに、前記電源電圧用ガードリング配線の下層の半導体基板に所定導電形の不純物が導入されてなる第1の半導体領域と前記第1の半導体領域の下部に形成され前記第1の半導体領域より低濃度であり、かつ前記第1の半導体領域と同じ導電形の不純物が導入されてなる第2の半導体領域とから構成された抵抗領域を形成し、前記抵抗領域と前記電源電圧用ガードリング配線とを電気的に接続したことを特徴とする半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置技術に関し、特に、静電破壊防止に適用して有効な技術に関するものである。

〔従来の技術〕

この種の技術について記載されている例としては、本出願人による特開昭63-81979号公報がある。

上記公報においては、入力バッファ回路を構成

する入力MOS形トランジスタの静電破壊を防止する技術が開示されている。

すなわち、従来技術においては、第10図、及び第11図に示すように、ボンディング・パッド（以下、パッドという）30と入力バッファ回路31を構成する入力MOSトランジスタの n^+ 拡散層32aとがp形半導体基板33に形成された曲線状の n^+ 拡散抵抗34を介して接続された半導体装置において、上記パッド30と拡散抵抗34とを接続する領域における n^+ 拡散層32bの下部にこの n^+ 拡散層32bを囲み、かつこの n^+ 拡散層32bよりも n 形不純物量が低濃度である n ウェル35を形成している。

これによって、 n^+ 拡散層32bとp形半導体基板33との間の抵抗値を高め、接合耐圧を向上させ、この接合部分における静電破壊を防止している。

〔発明が解決しようとする課題〕

ところが、上記公報に記載された技術において以下の問題があることを本発明者は見出した。

すなわち、従来技術においては、出力トランジスタの静電破壊対策について十分な配慮がなされておらず、第12図、及び第13図の経路Aで示すように、p形半導体基板33上面に帯電した電荷が、スクライプ・ガードリング36に集中し、コンタクトホール部37を介してp形半導体基板33に流れ、さらに出力MOS形トランジスタ38のソース・ドレイン領域を構成する n^+ 拡散層32cへ集中的に流れ、これを破壊してしまう問題がある。

また、ゲートコンタクト距離（ゲート電極とコンタクトホールとの間の距離）を広くすると静電破壊耐圧が向上することが知られているが、出力バッファ回路における全てのゲートコンタクト距離を広くしてしまうと、ゲート電極間の拡散容量が増加し、出力信号配線の出力容量が増大してしまうため、回路動作の高速化が阻害されてしまう問題がある。

一方、近年、回路動作の高速化に伴い、信号の立ち上がり時間が非常に短くなっているが、信号の立ち上がり時間が短くなると、出力側において

は、リングング現象が発生し易くなる。

このため、このリングング現象に起因する出力に接続された回路の誤動作が顕著となり、回路動作の信頼性が大幅に低下してしまう問題がある。

本発明は上記課題に着目してなされたものであり、その目的は、入力、及び出力トランジスタ双方の静電破壊を防止し、信頼性の高い半導体装置を得ることにある。

本発明の前記ならびにその他の目的と新規な特徴は、明細書の記述および添付図面から明らかになるであろう。

〔課題を解決するための手段〕

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

すなわち、第1に、半導体チップの最外周に導電体からなるガードリング配線が周設され、かつ、前記半導体チップの内方に形成された入出力回路領域に複数の出力トランジスタによって構成された出力バッファ回路を備える半導体装置であって、

ール部と、前記入力、または出力MIS形トランジスタを構成するゲート電極との間の距離を、前記外部端子に近づくにしたがって大となるようにした半導体装置である。

第4に、半導体チップの最外周に周設された導電体からなるガードリング配線の内周に、前記半導体チップに形成された集積回路素子領域の少なくとも一部を囲み、かつ前記ガードリング配線に沿って延びる電源電圧用ガードリング配線を配置するとともに、前記電源電圧用ガードリング配線の下層の半導体基板に所定導電形の不純物が導入されてなる第1の半導体領域と前記第1の半導体領域の下部に形成され前記第1の半導体領域より低濃度であり、かつ前記第1の半導体領域と同じ導電形の不純物が導入されてなる第2の半導体領域とから構成された抵抗領域を形成し、前記抵抗領域と前記電源電圧用ガードリング配線とを電気的に接続した半導体装置である。

〔作用〕

上記した第1の手段によれば、ガードリング配

前記出力バッファ回路とガードリング配線との間における半導体基板に抵抗領域を形成した半導体装置である。

第2に、半導体チップの入出力回路領域に形成された出力バッファ回路から出力信号を取り出す出力信号配線と前記半導体チップから出力信号を取り出す外部端子とが、前記半導体チップを構成する半導体基板に所定導電形の不純物が導入されてなる第1の半導体領域と、前記第1の半導体領域の下部に形成され前記第1の半導体領域よりも低濃度であり、かつ前記第1の半導体領域と同じ導電形の不純物が導入されてなる第2の半導体領域とから構成された抵抗領域を介して電気的に接続されている半導体装置である。

第3に、半導体チップに形成された外部端子から延設される信号、または電源電圧用配線が、前記半導体チップの入出力回路領域に形成された入力、または出力MIS形トランジスタを構成する拡散層と2以上のコンタクトホール部によって導通された半導体装置であって、前記コンタクトホ

線と半導体基板との間の抵抗領域の作用により、出力バッファ回路に流れる電荷が抑制されるため、出力バッファ回路における電流集中に起因する静電破壊が防止される。

第2の手段によれば、上記と同様に出力バッファ回路における電荷の集中が防止されるため、その静電破壊を抑制できるとともに、信号の立ち上がり時間が短時間になることにより生じるリングングによる出力波形の歪が抑制されるため、これに起因する出力端子に接続された回路の誤動作を防止できる。

第3の手段によれば、静電破壊の発生率の高い外部端子側のコンタクトホール部とゲート電極との間の距離を長くするため、出力トランジスタの出力容量を増加させることなく、静電破壊耐圧を向上させることができる。

第4の手段によれば、ガードリング配線内の電荷は、半導体基板を介して、容量の大きな電源電圧用ガードリング配線側に放電されるため、半導体基板に形成された素子における静電破壊が防止

される。

[実施例1]

第1図は本発明の一実施例である半導体装置の出力バッファ回路を示す斜視図、第2図はこの半導体装置の全体を示す平面図である。

第2図に示す本実施例1の半導体装置は、例えば、4Mビット・ダイナミックRAM(以下、DRAMという)が構成された半導体チップ(以下、単にチップという)1aである。

チップ1aは、その最外周に周設されたスクラيب・ガードリング配線(以下、ガードリングという)2と、チップ1aの中央に配置された周辺回路領域3aと、周辺回路領域3aの上下に配置されたメモリセルアレイ4、4と、チップ1aの幅方向に複数配列して配置された周辺回路領域3bと、チップ1aの両端部に配置された入出力回路領域5とによって構成されている。なお、上記した周辺回路領域3a、3b、メモリセルアレイ4、及び入出力回路領域により契機回路素子領域が構成されている。

成されている。

また、上記した入出力回路領域5には、MIS形トランジスタである、例えば、MOS形トランジスタによって構成された複数の入出力バッファ回路と、これら入出力バッファ回路に電気的に接続されたAl等からなるボンディング・パッド(外部端子)6とが配置されている。

次に、本実施例1のチップ1aの入出力回路領域5における出力バッファ回路の詳細を第1図により説明する。

チップ1aを構成するp形シリコン(Si)等からなる基板7の上面には、二酸化ケイ素(SiO₂)からなるゲート酸化膜8a、及びこのゲート酸化膜8aを取り囲むフィールド酸化膜8bが形成されている。

このゲート酸化膜8aの上面には、多結晶Si等からなる複数のゲート電極9がパターン形成されており、これら複数のゲート電極9の間の基板7に、砒素(As)等からなるn形不純物がドーブされ、ソース、ドレイン領域であるn⁺拡散層

上記ガードリング2は、アルミニウム(Al)等の導電材料で構成され、チップ1aに対して基板電圧を供給するため、例えば、-3Vの基板電位(V_{ss})に設定されている。

また、ガードリング2は、酸化膜からカリウムイオン(K⁺)やナトリウムイオン(Na⁺)等の不純物イオンがチップ1aの内方へ侵入してしまうことを防止する機能を有している。

上記メモリセルアレイ4は、例えば、1トランジスタ形のメモリセルによって構成されており、メモリセルにおけるトランジスタは、例えば、nチャネルMOS形トランジスタによって構成されている。

上記した周辺回路領域3aには、メモリセルアレイ4における所定のメモリセルを指定するアドレスデコード回路などが配置され、また、上記した周辺回路領域3bには、メモリセルからの出力信号を増幅するセンスアンプ回路などが配置されており、これら周辺回路は、例えば、CMOS(Complementary MOS)トランジスタ構造によって構

10が形成されている。なお、チャネル長は、2.5μm~3.5μm程度である。

さらに、上記したゲート酸化膜8a、及びフィールド酸化膜8bの上面には、ゲート電極9を被覆するように、リンケイ酸ガラス(PSG)等からなる絶縁膜11が被着されている。

この絶縁膜11の上面には、上記したパッド6と、このパッド6と電気的に接続され、かつ、出力信号を取り出す出力信号配線12がパターン形成されており、この出力信号配線12はコンタクトホール部13aを介して上記したn⁺拡散層10と電気的に接続され、出力バッファ回路が構成されている。なお、出力信号配線12は、Al等により形成されている。

本実施例1のチップ1aにおいては、出力バッファ回路とガードリング2との間における基板7に、第2の半導体領域であるnウェル14aと、このnウェル14aに囲まれた第1の半導体領域であるn⁺拡散層15aとによって構成された抵抗領域がガードリング2に沿って形成されており、

さらに、この n^+ 拡散層15aは、コンタクトホール部13b、及び絶縁膜11上にパターン形成された配線16を介してパッド6と電気的に接続されている。

また、ガードリング2の下方の基板7においても、上記した n ウェル14aに対向する位置に、 n ウェル14b、及びこの n ウェル14bに囲まれた n^+ 拡散層15bが形成されており、この n^+ 拡散層15bとガードリング2とはコンタクトホール13cを介して電気的に接続されている。

上記した n ウェル14a、14bは、例えば、 n 形不純物であるリン(P)が、基板7に導入され形成された領域であり、例えば、その濃度は 1×10^{18} 個/cm³、また、その抵抗値は、 $500 \sim 700 \Omega/\square$ 程度である。

なお、このような n ウェル14a、14bは、例えば、CMOS構造によって構成される上記した周辺回路の n ウェルを所定の熱拡散法、あるいはイオン注入法、および熱処理により形成する際、同時に形成すれば良い。

向へ流れる。

この際、基板7における電荷の経路には、 n ウェル14b、及び n ウェル14aが形成されているため、この n ウェル14a、14bの抵抗によって電荷の流れが抑制される。

その後、電荷は、 n ウェル14aを介して n^+ 拡散層15aへ流れ、さらにコンタクトホール部13b、及び配線16を経てパッド6から放電される。

したがって、本実施例1によれば、 n ウェル14a、及び n ウェル14bの抵抗により、電荷の流れが抑制されるため、出力バッファ回路を構成する出力MOS形トランジスタの n^+ 拡散層10やゲート酸化膜8aにおいて電流集中が生じないため、その静電破壊が防止される。この結果、信頼性の高い半導体装置が提供される。

〔実施例2〕

第3図は本発明の他の実施例である半導体装置の出力バッファ回路を示す平面図、第4図は第3図IV-IV線の断面図である。

また、各々の n ウェル14a、14bによって囲まれた n^+ 拡散層15a、15bは、例えば、 n 形不純物であるAsが、基板7に導入され形成された領域であり、例えば、その濃度は $1 \times 10^{18} \sim 1 \times 10^{20}$ 個/cm³、また、その抵抗値は、 $40 \sim 50 \Omega/\square$ 程度である。

なお、 n^+ 拡散層15a、bは、例えば、出力バッファ回路のMOSトランジスタにおける n^+ 拡散層10を形成する際、同時に形成すれば良い。

n ウェル14a、14bを、リンによって構成した理由は、リンはAsよりも拡散係数が高いため、拡散の際に基板7における横方向の広がりを良好にすることができ、 n ウェル14a、14bの抵抗値を n^+ 拡散層15a、15bよりも高く維持することができるためである。

次に、本実施例1の作用を説明する。

チップ1a上の電荷は、 n ウェル14b、及び n^+ 拡散層15bの上方のガードリング2部分に集中し、コンタクトホール部13cを介して基板7に流れ、さらに出力MOS形トランジスタの方

第3図、及び第4図に示す本実施例2のチップ1bにおいては、出力MOS形トランジスタの出力信号配線12とパッド6とが、コンタクトホール部13d、13e、及び基板7に形成された第2の半導体領域である n ウェル14cとこれに囲まれた第1の半導体領域である n^+ 拡散層15cとから構成された第1の抵抗領域を介して接続されている。

すなわち、出力信号配線12とパッド6との間には抵抗抵抗が接続されている。

出力信号配線12とパッド6との間の抵抗値は、出力波形がなまらないよう数 $\Omega \sim$ 数百 Ω (0Ω でもよい)に設定されている。この抵抗値の設定方法は、出力MOS形トランジスタの大きさ等によっても変わるが、例えば、コンタクトホール部13d、13eの間の距離をL、また、これらコンタクトホール部13d、13eの長さをWとすると、 $W/L = 10$ 程度となるように設定されている。

さらに、ガードリング2の下方の基板7におい

てnウエル14cに対向する位置には、第2の半導体領域であるnウエル14bと、このnウエル14bに囲まれた第1の半導体領域であるn⁺拡散層15bとから形成された第2の抵抗領域が形成されており、このうちn⁺拡散層15bは、コンタクトホール13cを介してガードリング2と接続されている。

本実施例2によれば、チップ1b上の電荷は、nウエル14b、及びn⁺拡散層15bの上方のガードリング2部分に集中し、コンタクトホール部13cを介して、互に対向するnウエル14bとnウエル14cとの間を流れるようになる。

この際、電荷の流れは、nウエル14b、及びnウエル14cにより抑制され、さらに、n⁺拡散層15cを介してパッド6から放電される。

このため、出力MOS形トランジスタにおける電流集中が発生せず、その静電破壊が防止される。

さらに、本実施例2によれば、出力信号配線12とパッド6との間にn⁺拡散層15c、及びこれを囲むnウエル14cによる拡散抵抗を接続し

たため、回路動作が高速化し、信号の立ち上がり時間が短時間になってもリングングによる出力波形の歪が防止され、これに起因するパッド6に接続された回路の誤動作を防止することができる。

〔実施例3〕

第5図は本発明のさらに他の実施例である半導体装置の出力バッファ回路を示す平面図、第6図は本実施例の変形例である出力バッファ回路を示す平面図である。

第5図に示す本実施例3のチップ1cにおいては、出力信号配線12における各コンタクトホール部13aと各ゲート電極9との間の距離（以下、ゲートコント距離という）a～dが、パッド6に近づくにしたがい次第に大となるように設計されている。

すなわち、静電破壊の発生率が高いパッド6に近い側のゲートコント距離aを広く、静電破壊の発生率が低いパッド6から離れているゲートコント距離dを狭く設計してある。

なお、例えば、ゲートコント距離aは4～5μ

m程度、ゲートコント距離bは3μm程度、ゲートコント距離cは2μm程度、ゲートコント距離dは1μm程度、コンタクトホール13aの一辺は1μm程度である。

ところで、一般に、ゲートコント距離を広くすると、静電破壊耐圧が向上することが知られているが、各出力MOS形トランジスタの全てのゲートコント距離を広くしてしまうと、出力MOS形トランジスタの出力容量が増加し、高速動作に逆行することになる。

そこで、ゲートコント距離の全てを広くするのではなく、静電破壊の発生率が高いパッド6に近い側のゲートコント距離aを広く、静電破壊の発生が少ないパッド6から離れたゲートコント距離dを狭くしてやることにより、出力MOS形トランジスタの出力容量を増加させることなく、静電破壊耐圧を向上させることができる。

なお、以上の説明では、出力信号配線12におけるコンタクトホール13aとゲート電極9との間の距離のみを変化させる場合について説明した

が、例えば、第6図のチップ1dに示すように、電源電圧用配線であるV_{cc}配線17、及びV_{ss}配線18におけるコンタクトホール13f、13gとゲート電極9との間のゲートコント距離e～gを変化させても良い。この場合においても、パッド6に近い側のゲートコント距離eを広く、パッド6から遠いゲートコント距離gを狭く設計する。なお、V_{cc}は、例えば、5V、V_{ss}は、例えば、0Vであり、図示はしないが所定のパッド6と電気的に接続されている。

〔実施例4〕

第7図は本発明のさらに他の実施例である半導体装置の要部を示す平面図、第8図は第7図VII-VII線の断面図である。

本実施例4においては、第7図、及び第8図に示すように、チップ1eの最外周に配置されたガードリング2の内周に、ガードリング2に沿って平行に延びるV_{cc}用ガードリング配線19、V_{ss}用ガードリング配線20が、チップ1eの内方に向かって順に配置されている。

なお、ガードリング2、 V_{cc} 用ガードリング配線19、及び V_{ss} 用ガードリング配線20の幅は、例えば、5 μm 程度である。

また、第8図に示すように、これら V_{cc} 用ガードリング配線19、 V_{ss} 用ガードリング配線20の下層の基板7には、第1の半導体領域である n^+ 拡散層15d、15e、及びこれら各々を囲む第2の半導体領域 n ウェル14d、14eが、 V_{cc} 用ガードリング配線19、及び V_{ss} 用ガードリング配線20の延びる方向に沿って形成されている。

さらに、 n^+ 拡散層15d、15eは、それぞれコンタクトホール部13h、13iを介して V_{cc} 用ガードリング配線19、 V_{ss} 用ガードリング配線20に接続されている。

なお、入力バッファ回路21における n^+ 拡散層22の下層においても従来技術と同様に n ウェル23が形成されている。

また、図示はしないが出力バッファ回路は、前記実施例1～3で説明したいずれかの初造となっ

ードリング配線19の下方の基板7に、この V_{cc} 用ガードリング配線19に沿って延びる n^+ 拡散層とこの n^+ 拡散層を取り囲む n ウェルを形成し、この n^+ 拡散層と V_{cc} 用ガードリング配線19とをコンタクトホール部によって電気的に接続する。

これによって、半導体チップ1fにおいて、 V_{cc} 用ガードリング配線19よりも内方に形成された所定の負電回路素子の静電破壊が防止される。

以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

例えば、実施例3においては、ゲートコンタクト距離をパッドに近づくにつれ次第に広くした場合について説明したが、これに限定されるものではなく、例えば、ゲートコンタクト距離をパッドに近づくにつれ段階的に広くしても良い。

また、実施例1～4においては、 n ウェルをリン、 n^+ 拡散層をAsとしたが、これに限定され

ている。

本実施例4によれば、ガードリング2上の電荷は、コンタクトホール部13cを介して、基板7へ流れ、その後、 n ウェル14d、あるいは14eで抑制され、これら n ウェル14d、あるいは14eから n^+ 拡散層15c、あるいは n^+ 拡散層15dを介して容量の大きな V_{ss} 用ガードリング配線19、あるいは V_{ss} 用ガードリング配線20へ流れ放電される。

このため、入出力回路領域5内での電流集中が発生せず、入力バッファ回路21、あるいは出力バッファ回路(第1図参照)におけるMOS形トランジスタの n^+ 拡散層やゲート酸化膜などの静電破壊が防止され、信頼性の高い半導体装置が提供される。

なお、実施例4の変形例として、第9図に示すチップ1fのように、入出力回路領域5よりも内方に V_{cc} 用ガードリング配線19を配設しても良い。

この場合においても、図示はしないが V_{ss} 用ガ

るものではなく、他の n 形不純物でも良い。

また、実施例1、2および4においては、出力バッファ回路をMOS形トランジスタによって構成した場合について説明したが、これに限定されるものではなく、例えば、バイポーラ形トランジスタであっても、その静電破壊を防止することができる。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるDRAMが形成された半導体装置に適用した場合について説明したが、これに限定されるものではなく、種々適用可能であり、例えば、ゲートアレイ等の給電回路が構成された他の半導体装置に適用することもできる。

〔発明の効果〕

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

すなわち、ガードリング配線と半導体基板との間の抵抗領域の作用により、出力バッファ回路に

流れる電荷が抑制されるため、出力バッファ回路における電流集中に起因する静電破壊が防止される。

また、半導体チップ上に形成された外部端子と、出力バッファ回路から出力信号を取り出す出力信号配線との間に形成された抵抗領域により、出力バッファ回路への電荷の集中が防止されるため、その静電破壊を抑制できるとともに、信号の立ち上がり時間が短時間になることにより生じるリングングによる出力波形の歪が抑制されるため、これに起因する出力端子に接続された回路の誤動作を防止できる。

また、静電破壊の発生率の高い外部端子側のコンタクトホール部とゲート電極との間の距離を長くするため、出力バッファ回路の出力容量を増加させることなく、静電破壊耐圧を向上させることができる。

さらに、ガードリング配線の内周に配置された電源電圧用ガードリング配線により、半導体チップの最外周に配置されたガードリング配線内の電

荷は、半導体基板を介して、容量の大きな電源電圧用ガードリング配線側に放電されるため、半導体チップに形成された端子における静電破壊が防止される。

以上により、静電破壊耐圧に優れた信頼性の高い半導体装置を提供することができる。

4. 図面の簡単な説明

第1図は、本発明の一実施例である半導体装置の出力バッファ回路を示す斜視図、

第2図は、この半導体装置の全体を示す平面図、

第3図は、本発明の他の実施例である半導体装置の出力バッファ回路を示す平面図、

第4図は、第3図IV-IV線の断面図、

第5図は、本発明のさらに他の実施例である半導体装置の出力バッファ回路を示す平面図、

第6図は、実施例3の変形例である出力バッファ回路を示す平面図、

第7図は、本発明のさらに他の実施例である半導体装置の要部を示す平面図、

第8図は、第7図VII-VII線の断面図、

第9図は、実施例4の変形例である半導体装置の要部平面図、

第10図は、従来の半導体装置の入力バッファ回路を示す平面図、

第11図は、第10図XI-XI線の断面図、

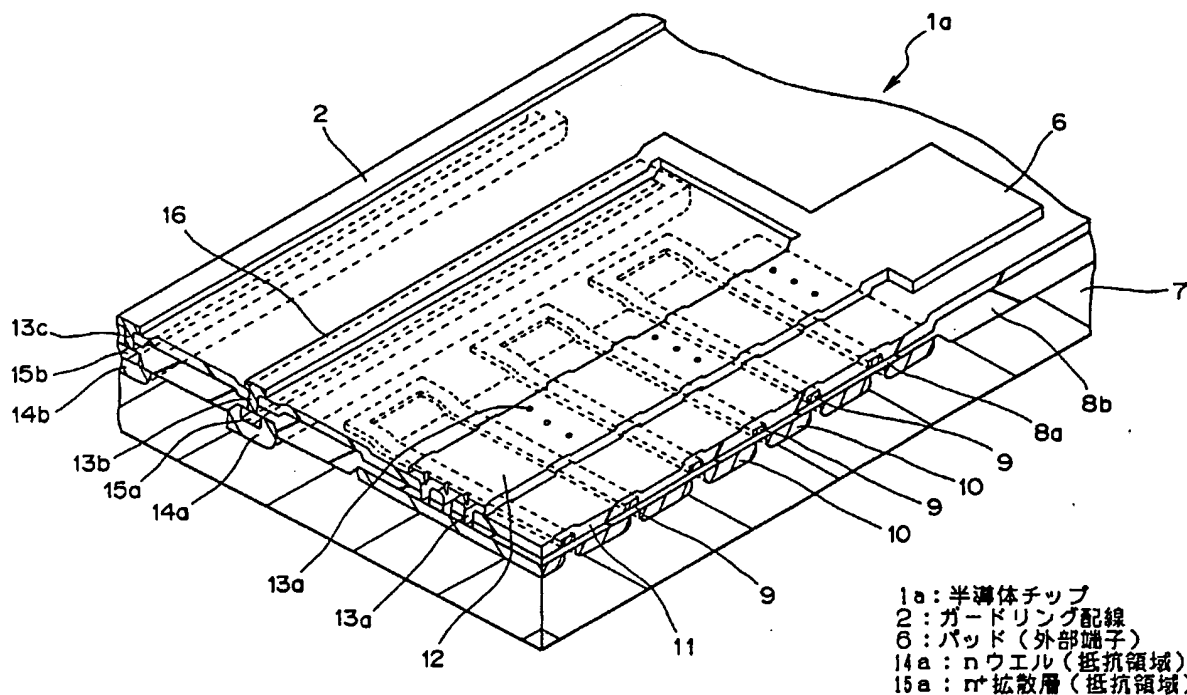
第12図は、従来の半導体装置の出力バッファ回路を示す平面図、

第13図は、第12図XIII-XIII線の断面図である。

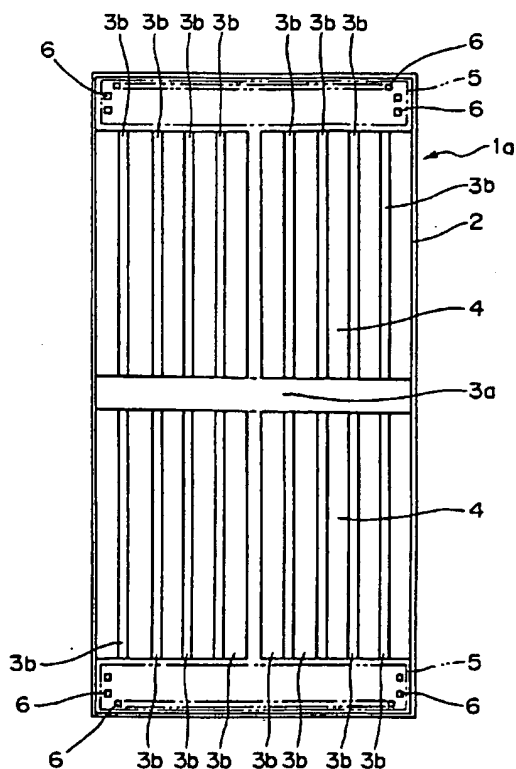
1a~1f・・・半導体チップ、2・・・スクライプ・ガードリング、3a、3b・・・周辺回路領域、4・・・メモリセルアレイ、5・・・入出力回路領域、6・・・ボンディング・パッド（外部端子）、7・・・基板、8a・・・ゲート酸化膜、8b・・・フィールド酸化膜、9・・・ゲート電極、10・・・n⁺拡散層、11・・・施設膜、12・・・出力信号配線、13a~13i・・・コンタクトホール部、14a~14e・・・n⁺拡散層（抵抗領域）、15a~15e・・・nウェル（抵抗領域）、16・・・配線、17

・・・V_{cc}配線、18・・・V_{ss}配線、19・・・V_{cc}用ガードリング配線、20・・・V_{ss}用ガードリング配線、21・・・入力バッファ回路、22・・・nウェル、23・・・n⁺拡散層、L・・・コンタクトホール部間の距離、W・・・コンタクトホール部の幅、30・・・ボンディング・パッド、31・・・入力バッファ回路、32a~32c・・・n⁺拡散層、33・・・p形半導体基板、34・・・n⁺拡散抵抗、35・・・nウェル、36・・・スクライプ・ガードリング、37・・・コンタクトホール部、38・・・出力MOS形トランジスタ、A・・・電荷経路。

第 1 図

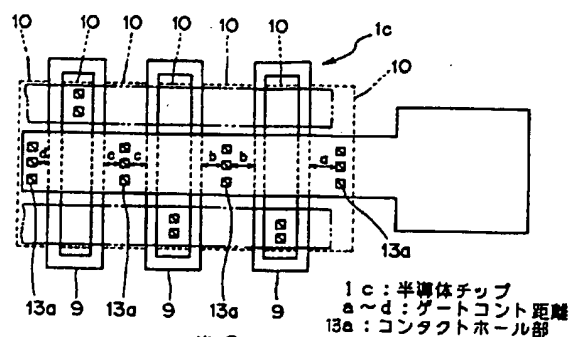


第 2 図

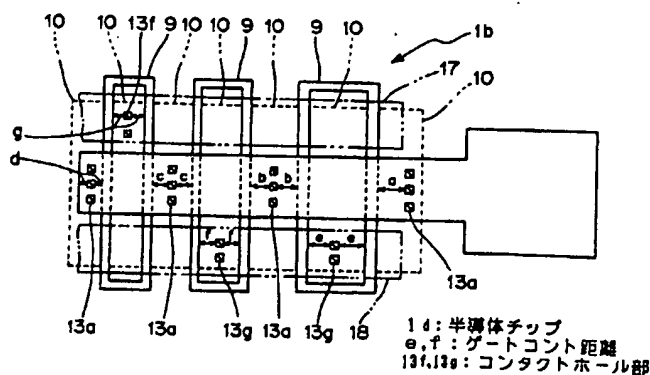


5: 入出力回路領域

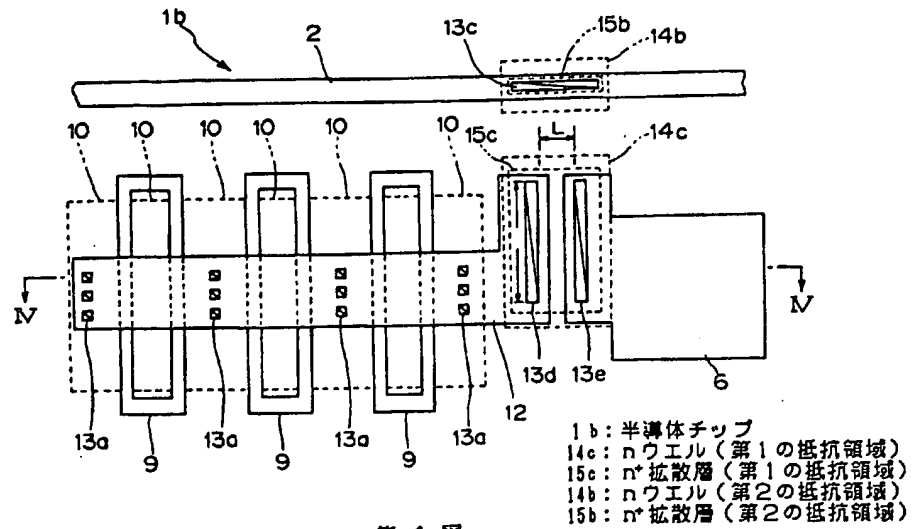
第 5 図



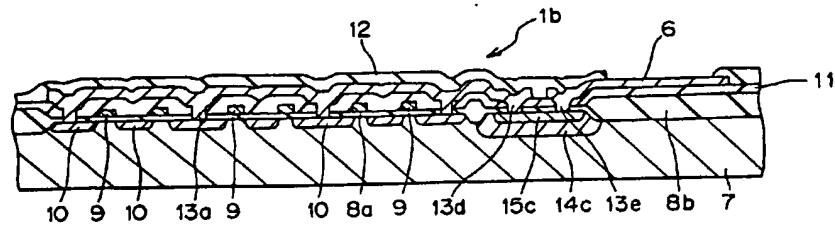
第 6 図



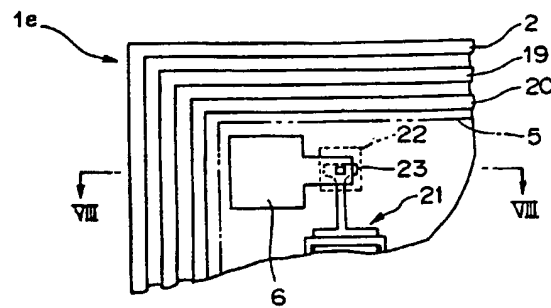
第 3 図



第 4 図

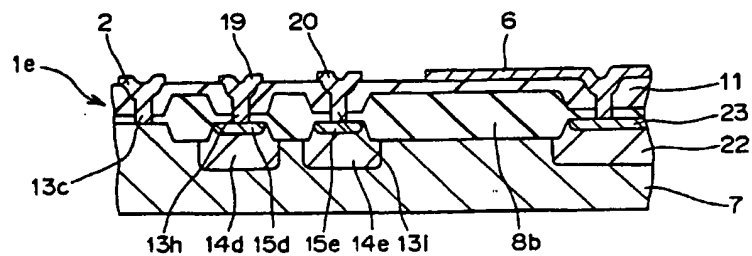


第 7 図

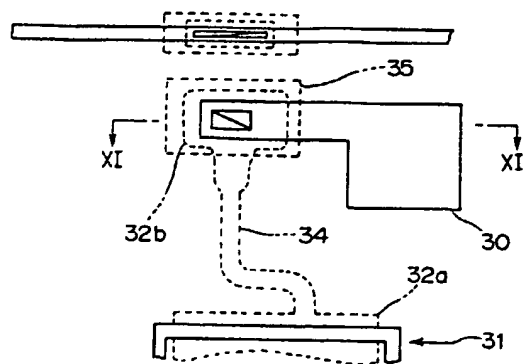


- 1e: 半導体チップ
 19: V_{cc}用ガードリング配線
 20: V_{ss}用ガードリング配線
 14e, 14d: nウェル (抵抗領域)
 15e, 15d: n⁺拡散層 (抵抗領域)

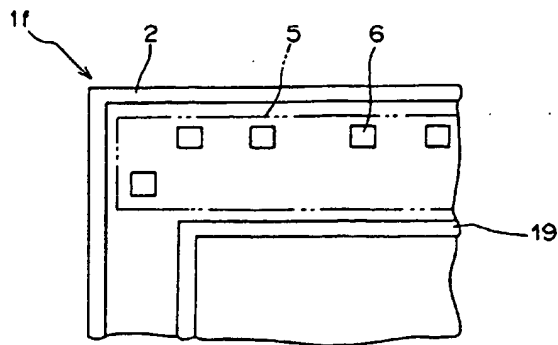
第 8 図



第10図

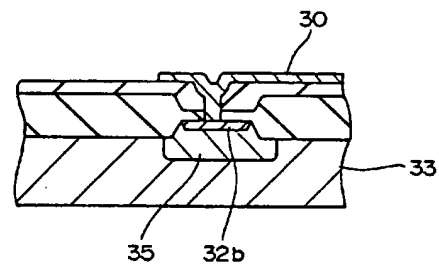


第9図

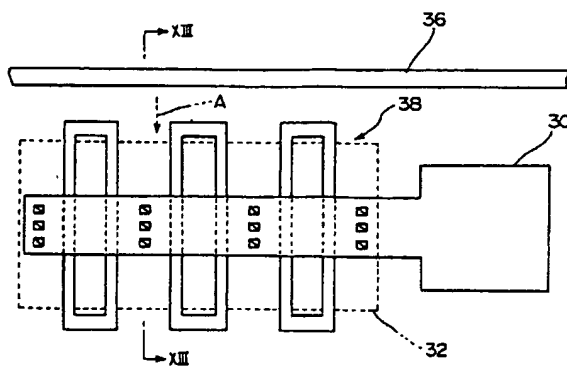


1f: 半導体チップ

第11図



第12図



第13図

